

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6216591

Basic Patent (No,Kind,Date): JP 62204575 A2 870909 <No. of Patents: 002>

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: MATSUSHITA ELECTRIC IND CO LTD

Author (Inventor): HIRANO RYUMA; KITAGAWA MASATOSHI; ISHIHARA SHINICHIRO; HIRAO TAKASHI

IPC: *H01L-029/78; H01L-021/318; H01L 027/12

CA Abstract No: 108(06)047666K

Derwent WPI Acc No: C 87-294139

JAPIO Reference No: 120063E000029

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	AppliC No	Kind	Date
JP 62204575	A2	870909	JP 8647842	A	860305 (BASIC)
JP 93056872	B4	930820	JP 8647842	A	860305

Priority Data (No,Kind,Date):

JP 8647842 A 860305

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

02287675 **Image available**

THIN FILM SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **62-204575** [JP 62204575 A]

PUBLISHED: September 09, 1987 (19870909)

INVENTOR(s): HIRANO RYUMA
KITAGAWA MASATOSHI
ISHIHARA SHINICHIRO
HIRAO TAKASHI

APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: **61-047842** [JP 8647842]

FILED: March 05, 1986 (19860305)

INTL CLASS: [4] H01L-029/78; H01L-021/318; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 585, Vol. 12, No. 63, Pg. 29,
February 25, 1988 (19880225)

ABSTRACT

PURPOSE: To increase the stability of characteristics and the mechanical strength of a thin film semiconductor device by a method wherein an insulating film is formed of the first silicon nitride film containing hydrogen exceeding 5% and an insulator film containing hydrogen not exceeding 5% laminated on the first silicon nitride film.

CONSTITUTION: An Si thin film semiconductor layer 2, a gate insulating film 3 and polycrystalline Si film 4 as a gate electrode are laminated on a substrate 1 to be implanted with a source/drain part As further activated by heat treatment in N₂ atmosphere. Next, a thermal oxide film 5 is formed to make a contact hole and then aluminum electrodes 6 are laminated. Then, a silicon nitride film 7 containing much hydrogen is laminated using mixed gas of SiH₄, NH₃ and H₂. Next, another silicon nitride film 8 containing hydrogen not exceeding 5% is laminated using mixed gas of SiH₄, N₂, H₂ at the substrate temperature exceeding 350 deg.C and not exceeding 550 deg.C on the nitride film 7. Finally, contact holes of aluminum electrode 6 is made in the silicon nitride films 7, 8.

⑪ 公開特許公報 (A)

昭62-204575

⑤Int.Cl.1

H 01 L 29/78
21/318
27/12

識別記号

庁内整理番号

⑪公開 昭和62年(1987)9月9日

8422-5F
6708-5F
7514-5F

審査請求 未請求 発明の数 3 (全 6 頁)

⑩発明の名称 薄膜半導体装置およびその製造方法

⑪特願 昭61-47842

⑪出願 昭61(1986)3月5日

⑪発明者	平野 龍馬	門真市大字門真1006番地	松下電器産業株式会社内
⑪発明者	北川 雅俊	門真市大字門真1006番地	松下電器産業株式会社内
⑪発明者	石原 伸一郎	門真市大字門真1006番地	松下電器産業株式会社内
⑪発明者	平尾 孝	門真市大字門真1006番地	松下電器産業株式会社内
⑪出願人	松下電器産業株式会社	門真市大字門真1006番地	
⑪代理人	弁理士 森本 義弘		

明細書

1. 発明の名称

薄膜半導体装置およびその製造方法

2. 特許請求の範囲

- 半導体装置を構成する絶縁膜が、水素を5%より多く含む第1の窒化シリコン膜と、前記第1の窒化シリコン膜上に積層された水素を5%以下含む絶縁体膜とで形成されていることを特徴とする薄膜半導体装置。
- 水素を5%以下含む絶縁体膜が第2の窒化シリコン膜であることを特徴とする特許請求の範囲第1項記載の薄膜半導体装置。
- 第1の窒化シリコン膜の下に酸化膜が形成されていることを特徴とする特許請求の範囲第1項または第2項記載の薄膜半導体装置。
- 半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも窒素原子を含むガスとの混合ガスを使った高周波動起のCVDによる第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に基板温度が350°C以上かつ550°C以下で絶縁体膜を積層することを特徴とする薄膜半導体装置の製造方法。

水素を5%以下含む絶縁体膜を積層し、その後、温度350°C以上かつ550°C以下で熱処理することを特徴とする薄膜半導体装置の製造方法。

- 半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも窒素原子を含むガスとの混合ガスを使った高周波動起のCVDによる第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に、基板温度を350°C以上かつ550°C以下として第2の窒化シリコン膜を積層することを特徴とする特許
- 半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも窒素原子を含むガスとの混合ガスを使った高周波動起のCVDで基板温度を室温から350°Cとして第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に、基板温度を350°C以上かつ500°C以下として第2の窒化シリコン膜を積層することを特徴とする特許

請求の範囲第5項記載の薄膜半導体装置の製造方法。

7. 半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも NH_3 との混合ガスを使った高周波誘起の CVD により第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に、気体状シリコン化合物と NH_3 を除く窒素原子または分子を含む混合ガスとを使った高周波誘起による第2の窒化シリコン膜を積層することを特徴とする特許請求の範囲第4項または第5項記載の薄膜半導体装置の製造方法。

8. 半導体装置を構成する絶縁膜を、最初に酸化膜を形成した後に形成することを特徴とする特許請求の範囲第4項または第5項記載の薄膜半導体装置の製造方法。

9. 薄膜半導体層が $\alpha-Si$ または多結晶 Si または再結晶化 Si または単結晶化 Si であることを特徴とする特許請求の範囲第1項記載の薄膜半導体装置。

10. 薄膜半導体層が $\alpha-Si$ または多結晶 Si または再結晶化 Si または単結晶化 Si であることを特徴とする特許請求の範囲第4項または第5項記載の薄膜半導体装置の製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は薄膜半導体装置およびその製造方法に関するものである。

従来の技術

従来の薄膜半導体装置の窒化シリコン膜による薄膜半導体層の水素化とその保護については、アイイーイーイー、イーディーエル-5: IEEE, EDL-5, No 11 ('84) P 468に述べられている。第4図に代表例として MOSFET の断面構成図を示して説明する。絶縁体基板 31 の上にソースとドレインを H 型に注入された薄膜半導体層 32 が積層され、前記薄膜半導体層 32 の上に PSG 膜 33 が積層され、さらに前記 PSG 膜 33 の上に窒化シリコン膜 34 が積層されている。その製造に際しては、まず薄膜半導体層 32 を基板 31 上に積層し

てパターン出しを行った後、ゲート絶縁膜 35 を熱処理で形成し、さらにその上にゲート電極としての薄膜半導体層 36 を積層する。その後、ゲート部のパターン出しをして PSG 膜 33 を 6000Å 積層し、コンタクトホールを開けてアルミ 37 を積層し、アルミ配線のパターン出しをし、450°C で熱処理する。その後に多量に水素を含む窒化シリコン膜 34 を、Si, H₄, NH₃, N₂ の混合ガスを用い基板 31 温度 300°C でプラズマ CVD で積層してから、450°C, N₂ 中で熱処理することによって、窒化シリコン膜 34 中の水素を薄膜半導体層に熱拡散して水素化を行うものである。

発明が解決しようとする問題点

しかしながら、薄膜半導体層の水素化とその保護は、たとえば多結晶 Si の MOSFET では、移動度、V_{th}、オンオフ特性などに關係する。水素化することによりそれらの特性は向上するが、薄膜半導体層からの水素の放出により劣化が生じる。

従来の構成の窒化シリコン膜 34 では、水素化は

多量に水素を含んだ窒化シリコン膜 34 の形成後、450°C N₂ 中で行なわれる。水素化の際、窒化シリコン膜 34 中の水素は、薄膜半導体層 32 と外部へ熱拡散または放出してなくなる。したがって、従来の構成では、薄膜半導体層 32 の上にあるのは PSG 膜 33 と水素の抜けた窒化シリコン膜 34 のみである。水素が抜けた窒化シリコン膜 34 は、内部に結合の弱い所ができるとクラックが発生しやすく、また保護膜としても水素を放出したことにより弱くなり、水などに浸されやすく、また薄膜半導体層 32 からの水素の放出を保持する力も弱くなることから、薄膜半導体装置の特性の安定性を悪くするという問題点があった。また密着型イメージセンサなどのように摩耗の生じやすい所に従来の薄膜半導体装置を用いた場合は、水素の放出した窒化シリコン膜 34 では耐摩耗性などの機械的強度も弱くなるという問題点があった。さらに従来の構成では、熱処理をして水素化するのに、その熱処理温度が 430°C より低いと水素の拡散が十分でなく、また反対に 470°C より高いと水素の放出が多

く、430°C～470°Cの狭い温度範囲でないと十分な効果は期待できなかった。以上のことにより、特性の安定した薄膜半導体装置はまだ実用化に至っていない。

そこで本発明は、このような問題点を解決することを目的とする。

問題点を解決するための手段

上記問題点を解決するため本発明装置は、半導体装置を構成する絶縁膜を、水素を5%より多く含む第1の窒化シリコン膜と、前記第1の窒化シリコン膜上に積層された水素を5%以下含む絶縁膜とで形成したものである。

また、第1の本発明方法は、半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも窒素原子を含むガスとの混合ガスを使った高周波励起のCVDによる第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に水素を5%以下含む絶縁膜を積層し、その後、温度350°C以上かつ550°C以下で熱処理するものである。

の条件が広くなり、製造が容易になる。

実施例

以下、本発明の実施例について説明する。

第1図は、本発明の第1の実施例のNチャンネル薄膜MOSFETの断面構成図である。石英基板1の上に薄膜半導体層2として多結晶Si膜が積層されている。多結晶Siの薄膜半導体層2のソースとドレイン部はAsを注入してN型となっていて、チャンネル部には拡散を行っていない。チャンネル部の上にはゲート絶縁膜3があり、その上にゲート電極の多結晶Si膜4が積層されている。薄膜半導体層2は熱酸化膜5により被覆されている。熱酸化膜5にはアルミ電極6と薄膜半導体層とのコンタクトのためのコンタクトホールが開けられている。さらに、それらの上に、層間絶縁膜でありかつ保護膜である、水素の拡散源としての、水素を多量に含む第1の窒化シリコン膜7が積層されていて、その上に水素を多く含まない第2の窒化シリコン膜8が積層されている。

次に製造方法について述べる。厚さ1mmの石英

また、第2の本発明方法は、半導体装置を構成する絶縁膜を形成するに際し、気体状シリコン化合物と少なくとも窒素原子を含むガスとの混合ガスを使った高周波励起のCVDによる第1の窒化シリコン膜を形成し、この第1の窒化シリコン膜の上に基板温度が350°C以上かつ500°C以下で絶縁膜を積層するものである。

作用

本発明による作用は次のようになる。

すなわち、水素の拡散源となる水素を多量に含む第1の窒化シリコン膜を水素の含有量の少ない絶縁膜で被覆することにより、水素化により水素を多量に含む窒化シリコン膜から水素が抜け出して薄膜半導体層に拡散した後も、水素を放出した第1の窒化シリコン膜の表面を保護し、第1の窒化シリコン膜の機械的強度を補い、薄膜半導体層から外部への水素の放出を抑制して薄膜半導体装置の特性の安定性と機械的強度とを向上させる。また、水素化の熱処理のときに水素が外部へ放出するのを抑制するので、水素化の熱処理温度など

基板1上に減圧CVD法でSiH₄/He = 0.2、真空中0.5Torr、温度550°C～650°Cで多結晶または非晶質のSiの薄膜半導体層2を300Å～1μm積層し、島状のパターンにエッティングする(前記Siの薄膜半導体層2は、積層直後はX線的に非晶質Si膜であっても、後の熱処理で多結晶Si膜になる)。次にゲート絶縁膜3を水蒸気の熱酸化で500Å～2000Å形成し、その上にゲート電極の多結晶Si膜4を減圧CVD法で積層し、ゲート部のパターン出しをエッティングにより行う。そして、ソースとドレイン部Asを120kVで3×10¹⁵/cm²注入し、N₂中950°Cで5～20分熱処理して活性化する(イオン注入を行うときには薄膜半導体層2のソースとドレインに当る所の上には酸化膜はない)。次に、水蒸気酸化で熱酸化膜5を全体の表面に500～2000Å形成した後にこの熱酸化膜5にコンタクトホールを開け、アルミ電極6を積層する。そして、水素の拡散源としての、水素を多量に含む窒化シリコン膜7を、SiH₄、NH₃、H₂の混合ガスを用い、基板1温度を空

温から 350°C 以下までとして、プラズマ CVD により厚さ 500Å ~ 2μm 積層する。その上に、水素を多く含まない窒化シリコン膜 8 を、SiH₄、N₂、H₂ の混合ガスを用い、基板 1 温度を 350°C 以上かつ 550°C 以下で、200Å ~ 2μm 積層する。その後アルミ電極 6 のパッドに当たる所のコンタクトホールを前記の窒化シリコン膜 7、8 に開ける。

試作した N チャンネル薄膜 MOSFET の中で、チャンネル幅 W = 100μm、チャンネル長 L = 10μm のものについて、その移動度と水素化の熱処理温度との関係を従来のものと比較した図を第 2 図に示す。

本実施例の方が、熱処理温度が高くても移動度の低下の小さいことがわかるし、全体的に特性も向上している。また、安定性試験の結果からも、本実施例の方が従来のものよりも安定で耐環境性に強いことがわかった。

また、本実施例では、水素の拡散源である窒化シリコン膜 7 と同じ窒化シリコン膜 8 を水素を多

く含まない絶縁膜として用いていることにより、同じ窒化シリコン膜 7、8 が積層されるので、熱膨張係数の違いにより重元シリコン膜 7 に発生するクラックをなくすことができた。さらに、表面を水素を多く含まない窒化シリコン膜 8 で覆ったので、窒化シリコン膜 8 自体からの水素の放出によるそれ自体の劣化がなく、薄膜半導体膜 2 からの水素の放出を抑制する。さらに、窒化シリコン膜 8 は耐水性が特に良いので、本実施例の薄膜半導体装置の安定性と耐水性が向上した。また窒化シリコン膜 8 は、水素の拡散源である窒化シリコン膜 7 と同じ plasma CVD 法でガスと基板 1 温度だけを変えるだけで積層できるので、製造工程の短縮ができる（特に 2 チャンバ以上の plasma CVD 装置があれば便利である）、水素の拡散源である窒化シリコン膜 7 が外露気にさらされることなく、水素化をしながら、その上に特性の良い保護膜の窒化シリコン膜 8 が積層できた。

また、水素化は窒化シリコン膜 8 の積層と同時に見えるので、後で熱処理する必要がない。さら

して窒化または酸化したり、スパッタ、 plasma CVD、クラスターイオンビーム、CVD、蒸着、 plasma 脱離など多くのものがある。

本実施例のように水素の拡散源である窒化シリコン膜 7 を形成する前に熱酸化膜 5 を形成しておくと、 plasma による薄膜半導体膜へのダメージがないので、特性の良い薄膜半導体装置ができた。さらに、その酸化膜が熱酸化膜であるから、PSG よりも緻密性が良く、薄膜半導体膜からの水素の放出を防止して、特性の安定性が良い薄膜半導体装置ができた。またこれらの熱酸化膜 5 と窒化膜 7、8 を積層することで、窒化膜だけだと下の薄膜半導体膜 2 が Si 薄膜だった場合に熱膨張係数の差が大きく、この Si 薄膜にクラックが発生しやすいのを、熱酸化膜 5 と窒化膜 7、8 の中間当たりに Si 薄膜の熱膨張係数があることから、熱酸化膜 5 が熱膨張係数の差を緩和してクラックの発生を防止する。

また、水素の拡散源である水素を多量含む窒化シリコン膜 7 の中の水素の量は、水素化の熱処理

最も5%よりも多く、反対に、水素を多く含まない窒化シリコン膜8のは5%以下であることがS I M S、赤外吸収などの測定でわかった。また水素を多く含まない窒化シリコン膜8の水素の量を5%よりも多くすると、保護膜として積層した窒化シリコン膜8自体からの水素の放出が顕著になり、膜の劣化が始まり良くない。そして、水素の拡散源である窒化シリコン膜7が、水素化の後でも水素の量が5%よりも多く残るような膜でなければ、水素化の効果は弱かった。

第3図に本発明の第2の実施例を示し、説明する。第1の実施例と同じNチャンネル薄膜MOS FETであるが、第1の実施例と違う所はイオン注入後に熱被化膜を形成しない点である。すなわち、薄膜半導体層21の上に直接、水素を多量に含む第1の窒化シリコン膜22を積層して、その上にプラズマ露射で水素を多く含まない絶縁体膜23としてBNを基板24温度を空温から350°Cで積層した。そして、その後、不活性ガスまたはH₂、またはその混合ガス中で350°C以上かつ550°C以下

化Si膜に存在する結晶粒界にある欠陥や、バルク内部に存在する未結合手を、ターミネートする効果がある。さらに、Si膜とゲート絶縁膜との界面の欠陥、未結合手を少なくする効果があるので、単結晶化したSi膜にも有効である。また上記実施例では薄膜半導体装置を構成する絶縁膜にMOSFETの保護膜または間接絶縁膜についてだけ記述したが、ゲート絶縁膜にも本発明が効果があるのはいうまでもない。また、材料内部の水素の量によって特性の変化する部品、装置にも本発明が使えるのはいうまでもない。特に磁性体のように水素によって飽和磁誘定数やHcが変化するもので、センサー、磁性半導体、磁気記録材料、磁気抵抗素子などに効果がある。さらに、水素貯蔵合金などにも本発明の技術手段が有効に使える。

発明の効果

以上述べたように、本発明によれば、薄膜半導体装置を構成する絶縁膜を、水素の拡散源となる水素を多量に含む窒化シリコン膜と、その上に積層した水素の含有量の少ない絶縁体膜とで構成す

で熱処理して水素化を行った。

すると、薄膜半導体層21と水素の拡散源の窒化シリコン膜22との間に酸化膜がないので、薄膜半導体層21の水素化を比較的低温で速くできた。また、製造工程の短縮化になった。また、BN、TiN、MoNなどの窒化膜とSiCとi-Cは耐摩耗性が強いので、面積型イメージセンサ、ICカードなどの耐摩耗性を必要とする物の薄膜半導体装置の窒化シリコン膜22の上に被覆するには最適である。また絶縁体膜23を、ECRによる窒化シリコン膜によっても形成できる。ECRによる窒化シリコン膜は、水素の含有量が少なく、緻密で堅く、耐薬品性も強いので、保護膜として有効である。

以上の実施例では、薄膜半導体層21をLPCVDによる多結晶Si膜として、その水素化について説明したが、これらのこととは、非晶質Si膜や多結晶Si膜を、電子線、レーザ、ランプ熱ふく射などで再結晶化または単結晶化したSi膜にも有効である。つまり、多結晶Si膜や再結晶

することにより、薄膜半導体層への水素の拡散を有効かつ容易に行い、薄膜半導体層の保護としてもクラックがなく、耐水性が強く、機械的強度の強いものができる。薄膜半導体装置の特性の向上と安定性の向上に寄与可能となる。また、その製造も容易である。

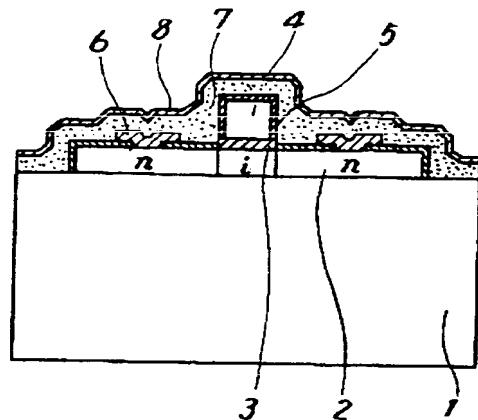
4. 図面の簡単な説明

第1図は本発明の第1の実施例におけるNチャンネル薄膜MOSFETの断面図、第2図は本発明の第1の実施例のMOSFETの移動度と水素化の熱処理温度との関係を示す図、第3図は本発明の第2の実施例のNチャンネル薄膜MOSFETの断面図、第4図は従来のNチャンネル薄膜MOSFETの断面図である。

1…石英基板、7、22…第1の窒化シリコン膜、8…第2の窒化シリコン膜(絶縁体膜)、23…絶縁体膜、24…基板

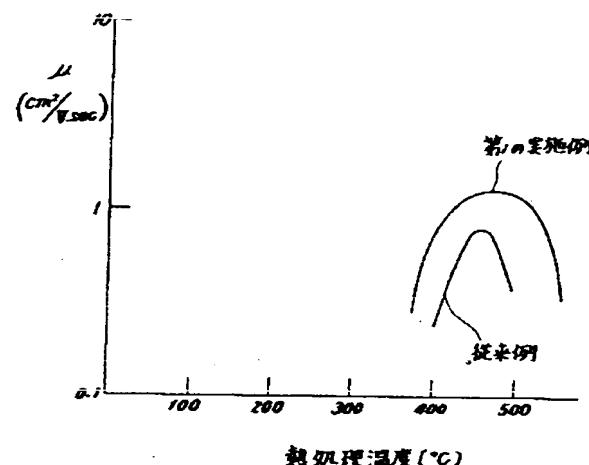
代理人 森 本 稔 弘

第 1 図

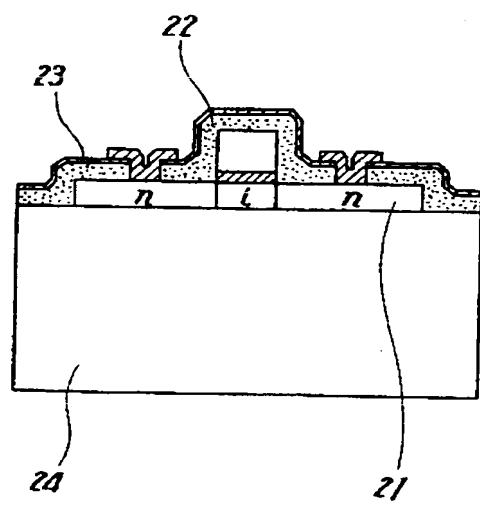


1---石英基板
7---第1の窒化シリコン膜
8---第2の窒化シリコン膜(絶縁体膜)

第 2 図



第 3 図



第 4 図

